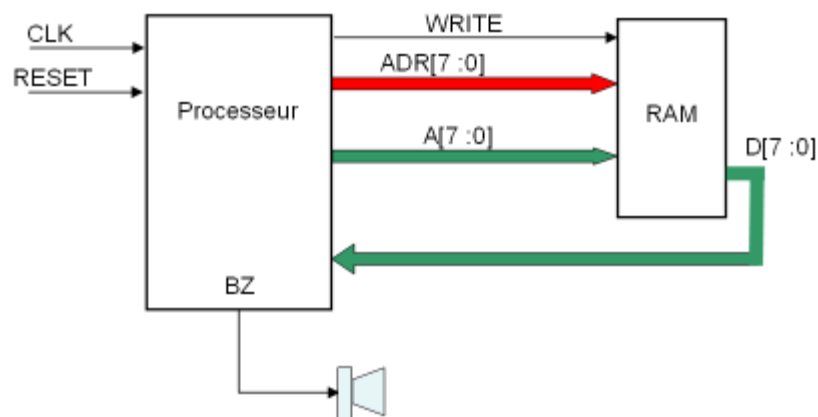


|  |  |
|--|--|
| <b>Université Tunis El-Manar</b>             | <b>Année Universitaire : 2016-2017</b> |
| <b>Faculté des Sciences de Tunis</b>         |  |
| <b>Module Synthèse de systèmes embarqués</b> |  |

## TD 5

### Problème.

Nous proposons de réaliser un système à base de processeur. Comme le montre la figure ci-après, ce système est constitué d'une mémoire RAM pouvant contenir les programmes et les données, d'un processeur et d'un haut parleur piloté par la sortie BZ du processeur.



Le tableau suivant résume les entrées et sorties du processeur :

|           |  |
|-----------|--|
| CLK       | Horloge  |
| RESET     | Entrée asynchrone d'initialisation   |
| BZ        | Port de sortie pouvant être positionné à '1' ou '0' pour activer ou désactiver une signal sonore             |
| ADR[7..0] | Bus d'adresse lecture/écriture dans la RAM   |
| A[7..0]   | Sortie de l'ACCUmulateur Ce mot peut être mémorisé dans la RAM à l'adresse ADR (accès de la RAM en écriture) |
| D[7..0]   | Mot lu dans la RAM à l'adresse ADR (accès de la RAM en lecture)  |
| WRITE     | Signal indiquant le sens de l'échange avec la mémoire ('1' pour une écriture et '0' pour la lecture)         |

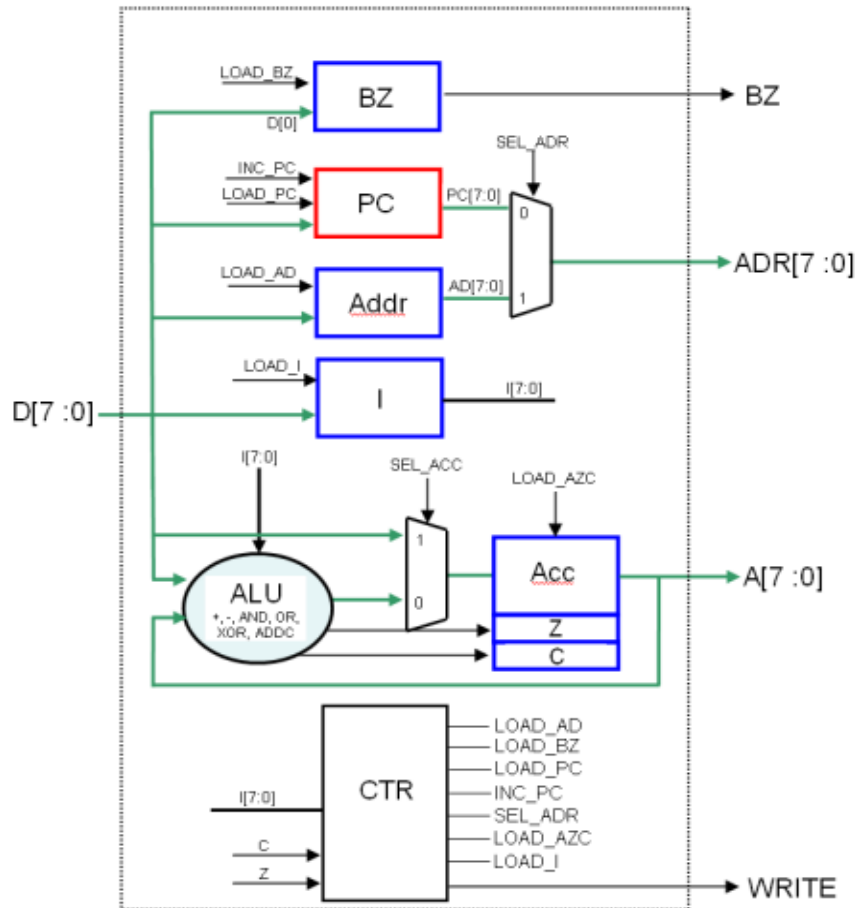
### Partie I.

- 1) Donner les caractéristiques de la mémoire RAM utilisée : capacité de la mémoire en nombre de mots et la taille de chaque mot.
- 2) Donner la description VHDL de la mémoire RAM, sachant que la lecture est asynchrone.
- 3) Donner la partie entity du composant 'Processeur'.
- 4) Donner la description VHDL de système constitué de la mémoire RAM et

du processeur.

## Partie II. (12 pts)

Dans cette partie, on s'intéresse à la réalisation de certains composants du processeur. Le processeur est composé de quelques registres, d'une unité de calcul (ALU), d'un compteur de programme et d'une unité de contrôle (CTR). Tous les registres du microprocesseur sont pilotés par l'horloge CLK et remis à zéro par l'état haut du signal RESET.



Le processeur comporte les registres suivants :

- Le registre de sortie pour le buzzer BZ.
- Le registre d'accumulation ACC.
- Le registre d'instruction I
- Le registre d'adresse Addr
- Le registre du compteur ordinal PC.
- Les registres d'indicateurs Z (résultat nul) et C (bit de retenu).

Chaque instruction du processeur est constituée de deux octets. Le premier octet correspond au codage binaire de l'instruction. Tandis que le deuxième

octet est la valeur de son opérande qui correspond à une adresse. Ainsi, le chargement d'une instruction se fait sur deux cycles horloges :

**a)** Chargement du premier octet dans le registre d'instruction I et incrémentation de PC. L'incrémentation du registre PC s'effectue en mettant la valeur '1' à l'entrée INC\_PC du registre PC.

**b)** Chargement du deuxième octet (la valeur de l'opérande) dans le registre Addr et incrémentation de PC.

Ce processeur dispose de 16 instructions dont la description est donnée par le tableau suivant :

| Instruction |                              | Code binaire (8 bits) |
|-------------|------------------------------|-----------------------|
| NOP         | $A \leq A$                   | 00000000              |
| XOR         | $A \leq A \text{ xor } (AD)$ | 00000001              |
| AND         | $A \leq A \text{ and } (AD)$ | 00000010              |
| OR          | $A \leq A \text{ or } (AD)$  | 00000011              |
| ADD         | $A \leq A + (AD)$            | 00000100              |
| ADC         | $A \leq A + (AD) + C$        | 00000101              |
| SUB         | $A \leq A - (AD)$            | 00000110              |
| SBC         | $A \leq A - (AD) - C$        | 00000111              |
| ROL         | $A \leq A[6..0]A[7]$         | 00001000              |
| ROR         | $A \leq A[0]A[7..1]$         | 00001001              |
| LDA         | $A \leq (AD)$                | 00001010              |
| STA         | $(AD) \leq A$                | 00001011              |
| OUT         | $BZ \leq (AD)[0]$            | 00001100              |
| JMP         | $PC \leq AD$                 | 00001101              |
| JNC         | Si C='0' alors $PC \leq AD$  | 00001110              |
| JNZ         | Si Z='0' alors $PC \leq AD$  | 00001111              |

- L'expression (AD) représente le contenu de la mémoire à l'adresse AD fournie par le deuxième octet de l'instruction (AD représente cette adresse, et (AD) le contenu de cette adresse),

- L'expression A[6..0] indique les 7 bits de poids faibles du registre A.

- De même, (AD)[0] correspond au bit de poids 0 du contenu de la mémoire à l'adresse AD.

### Questions :

**1)** Quel est le type du processeur à réaliser CISC ou RISC ? Justifier la réponse.

**2)** Indiquer les instructions faisant appel à l'unité arithmétique et logique (ALU). Puis, donner le code VHDL modélisant UAL. On donne la partie entity suivante :

```
entity ALU is port (
    I,Op1,Op2: in std_logic_vector (7 downto 0);
    C_in : in std_logic; -- bit de retenue en entrée
    Res : out std_logic_vector (7 downto 0);
    C,Z : out std_logic);
end entity;
```

**3)** Donner les descriptions VHDL nécessaires pour décrire les différents registres contenus dans le processeur.

- 4)** Donner la partie entity de l'unité de contrôle CTR.
- 5)** Rappeler les étapes de l'exécution d'une instruction par le microprocesseur.
- 6)** Donner la machine à états modélisant partiellement l'unité de contrôle en considérant seulement les instructions ADD et JMP. Puis traduire la machine à états donnée en VHDL.
- 7)** Donner la description VHDL du composant 'processeur'.
- 8)** En utilisant les instructions du processeur considéré, écrire le programme assembleur permettant d'effectuer un décomptage de 5 à 0. Une fois le décomptage est terminé, le programme doit produire un signal sonore en activant la sortie BZ.
- 9)** Donner le codage binaire du programme décrit dans la question précédente.