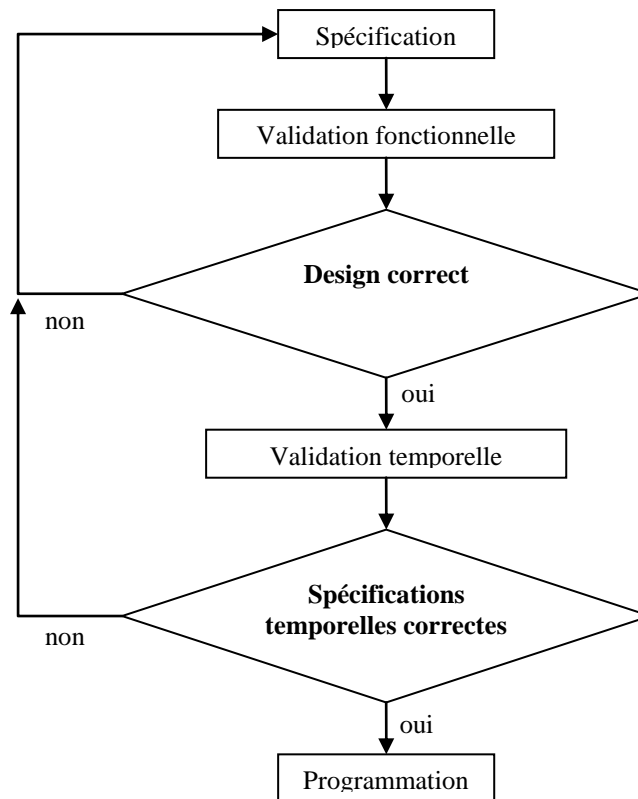


## TP 1 : Initiation à QUARTUS

L'objectif de ce TP est l'initiation au logiciel de CAO de FPGA : Quartus II d'Altera

### I. Déroulement de la conception

L'implémentation d'un circuit FPGA sous Quartus suit les étapes suivantes :



- **Spécification** : saisie du circuit logique (spécification syntaxique : VHDL, Verilog, mode graphique, etc.)
- **Validation fonctionnelle** : simulation fonctionnelle du concept (problèmes des sorties/sorties, boucles, etc.). Vérification ne prenant pas en compte les aspects temporels du circuit
- **Validation temporelle** : simulation temporelle (et fonctionnelle) du circuit (temps de propagation, recouvrement de signaux, etc.).
- **Implémentation** : le programme est porté physiquement sur le circuit FPGA en fonction des spécifications précisés par le programmeur (pins, etc.)

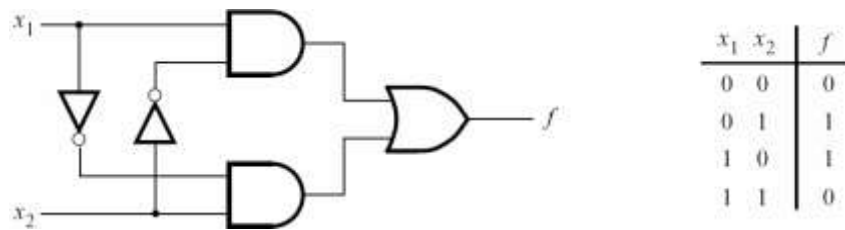
### II. Fonction logique : XOR

Nous allons élaborer dans un premier la fonction logique XOR en VHDL (à partir des portes AND et OR). La finalité de cet exercice est de porter cette fonction sur le circuit FPGA et de lier les Switchs 0 et 1 (SW0 et SW1) à l'entrée de la fonction XOR. La sortie sera affichée sur la LED verte 0 (LEDG).

Pour ce premier exemple, la synthèse du circuit s'effectuera selon les étapes suivantes :

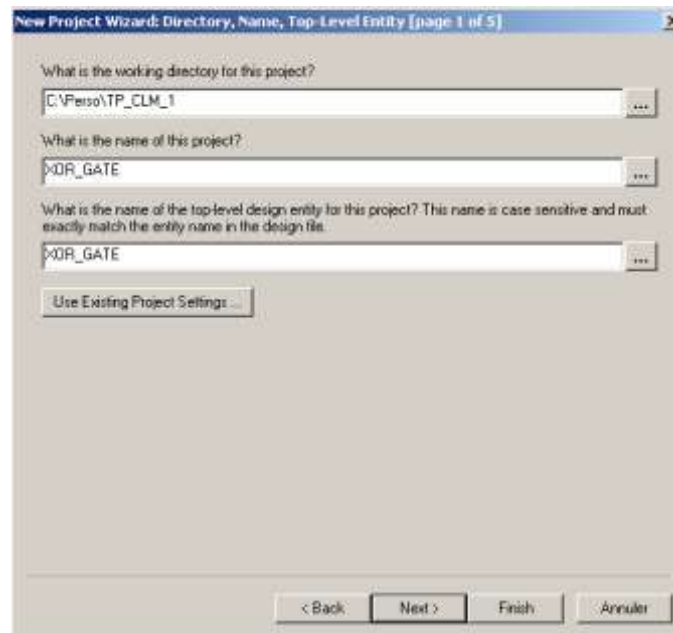
1. Description en VHDL du circuit
2. Synthèse du circuit et visualisation du schéma du circuit élaboré par Altera Quartus
3. Lier les entrées et sorties du circuit aux périphériques de la carte FPGA

4. Téléchargement et configuration du circuit FPGA avec la réalisation.

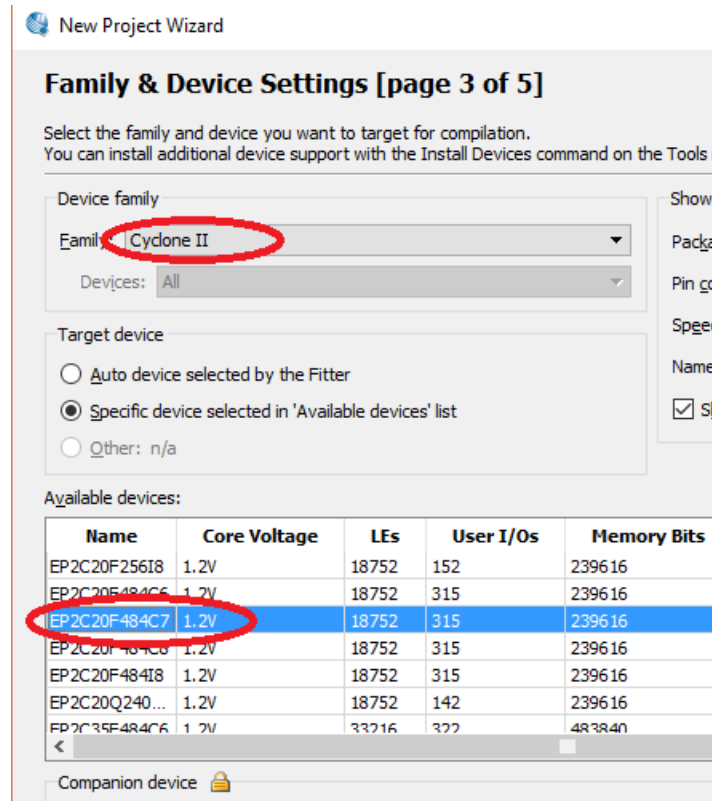


#### a) Création du projet

Aller sur **File > New Project Wizard**, donnez le même nom au projet et au top-level design : **XOR\_GATE**



Dans le volet **Family & Device Settings** spécifier la famille **Cyclone II** et choisir le circuit EP2C20F484C7.

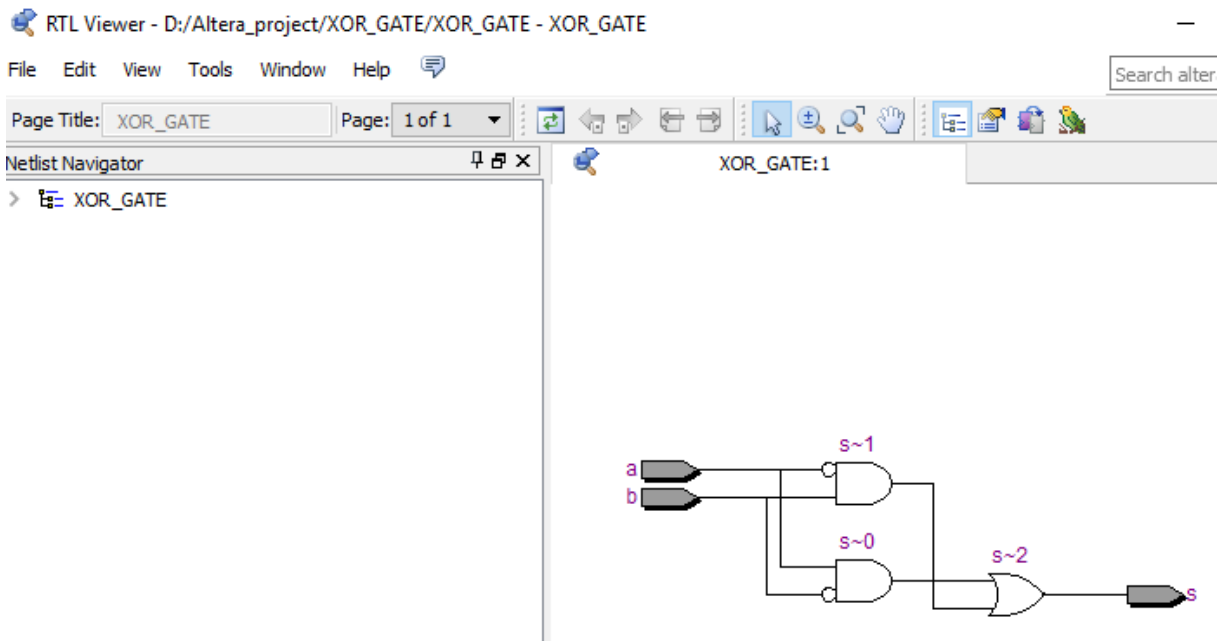


Ajouter un fichier d'édition **VHDL**, pour cela aller sur **File > New** et choisir **VHDL File**. Lors de la sauvegarde, nommer le fichier **XOR\_GATE** et vérifier que « **Add file to current project** » soit bien cochée.

Donner la description VHDL de la réalisation XOR\_GATE.

### b) Compilation

On effectue la compilation afin de vérifier que la description donnée est correcte syntaxiquement et élaborer le circuit. Pour ce faire, aller à **Processing > Start compilation**. S'il n'y a pas d'erreur, il faut vérifier le circuit élaboré en consultant son schéma à travers le menu **Tools > Netlist Viewers > RTL Viewer** comme le montre la figure ci-après.



### c) Attribution des pins

Afin de lier les pins entrées sorties du FPGA aux différents composants équipant la carte, nous allons utiliser l'éditeur d'attribution de pins : **Assignment Editor**. Aller sur **Assignments > Pin Planner**. Sélectionner **Pin** dans le menu **Category**.

Dans la colonne **To** préciser l'entrée/sortie du circuit. Dans la colonne **Location** préciser le composant auquel vous voulez le relier (LED, Switch, etc.) au pin. Pour déterminer les noms des pins des composants, vous devez consulter le fichier du manuel d'utilisation fourni avec la carte. Ce fichier est localisé normalement dans le dossier d'installation d'altera quartus : C:/altera/Kits/CycloneII\_Starter\_Kit-v1.0.0/Docs/cII\_starter\_devbd\_rm\_final3a.pdf

Préciser la configuration suivante :

- x1 : Switch 0
- x2 : Switch 1
- f : LED Verte

|   | To      | Location | I/O Bank | I/O Standard | General Function | Special Function       | Reserved | Enabled |
|---|---------|----------|----------|--------------|------------------|------------------------|----------|---------|
| 1 | x1      | PIN_N25  | 5        | LVTTTL       | Dedicated Clock  | CLK4, LVDSCLK2p, Input |          | Yes     |
| 2 | x2      | PIN_N26  | 5        | LVTTTL       | Dedicated Clock  | CLK5, LVDSCLK2n, Input |          | Yes     |
| 3 | f       | PIN_AE22 | 7        | LVTTTL       | Column I/O       | LVDS155n               |          | Yes     |
| 4 | <<new>> | <<new>>  |          |              |                  |                        |          |         |

### d) Programmation du FPGA

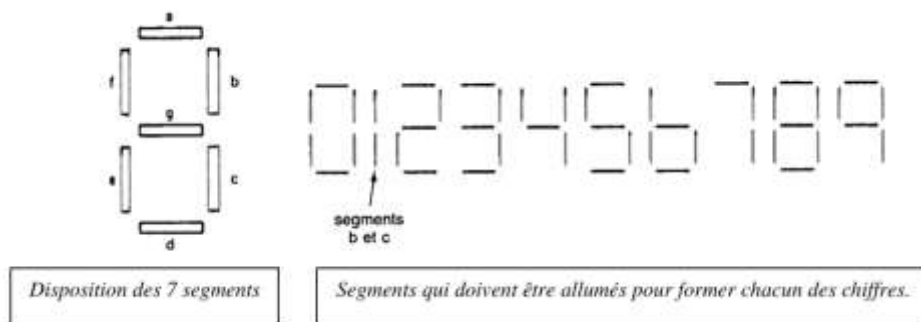
Aller maintenant dans le menu de programmation **Tools -> Programmer** 

Le fichier **XOR\_GATE.sof** devrait être chargée. Lancer la programmation du FPGA avec le bouton **Start**. Lorsque la diode **good** (sur la carte) se réactive, vous pouvez utiliser le circuit. Manipuler les Switch 0 et 1 et vérifier le bon fonctionnement de votre circuit.

### III- Utilisation des afficheurs 7-segments

Réaliser un circuit qui affiche l'année de votre date de naissance sur les afficheurs 7-segments équipant la carte.

1) Pour piloter l'afficheur 7-segments, on utilise un transcodeur. Ce transcodeur possède donc quatre entrées nécessaires pour coder un chiffre entre 0 et 9 en binaire, et qui produit les sorties (a b c d e f g) de commande des leds de manière à afficher les symboles décimaux correspondants sur l'afficheur 7 segments.



Donner la description VHDL modélisant le composant **Transcodeur** permettant de piloter un afficheur 7-segments.

2) Utiliser le transcodeur pour décrire un composant permettant d'afficher votre année de date de naissance. L'année est précisée lors de l'instanciation des transcodeurs.