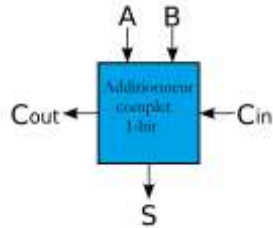


Université Tunis El-Manar	Année Universitaire : 2016-2017
Faculté des Sciences de Tunis	Module : Synthèse en VHDL de systèmes embarqués

## TD N° 2

### Exercice 1.

1) Donner le code VHDL d'un additionneur complet 1-bit.



2) Donner une description structurelle générique d'un additionneur série N bits. On utilisera l'additionneur 1-bit décrit dans la question précédente.

### Exercice 2.

Dans les deux cas suivants, réaliser la simulation si c'est possible en déterminant la valeur de la sortie F.

1)

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity exempleSignaux is
    port (F : out std_logic);
end exempleSignaux;
architecture arch1 of exempleSignaux is
begin
    F <= '1';
    F <= '0';
end arch1;
  
```

2)

```

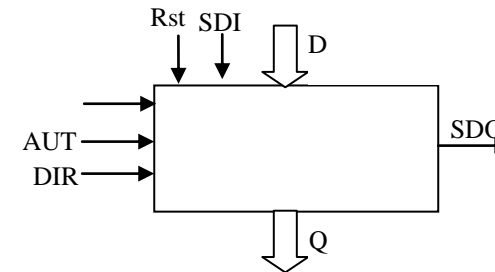
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity exempleSignaux is
    port (A : in std_logic; F : out std_logic);
end exempleSignaux;
  
```

```

architecture arch2 of exempleSignaux is
begin
    process (A)
    begin
        F <= A;
        F <= not(A);
    end process;
end arch2;
  
```

### Exercice 2.

On se propose de décrire un registre générique dont la taille de données  $t$  est paramétrable et variable de 1 à 32bits. Ce registre est représenté par le bloc de fonction ci-dessous.



Le registre peut fonctionner en mode de chargement parallèle ou série. En mode série, l'information est présentée séquentiellement bit après bit à l'entrée SDI. À chaque signal d'horloge, un nouveau bit est introduit pendant que ceux déjà mémorisés sont décalés d'un niveau dans le registre.

Les entrées /sorties du registre sont définies comme suit :

**clk** : horloge pour la synchronisation du fonctionnement,

**Rst** : une entrée asynchrone permettant d'initialiser les valeurs des sorties à 0.

**D** : entrée parallèle de données de taille  $t$ ,

**Q** : sortie parallèle de données de taille  $t$ ,

**SDI** : entrée série

**AUT** : si **AUT**='1' le registre en mode de fonctionnement sinon le registre est bloqué,

**LOAD** : si **LOAD**=’1’ le registre est en mode de chargement parallèle, sinon le registre fonctionne en mode de décalage,

**DIR** : si **DIR**=’1’ le décalage s’effectue de droite à gauche, sinon de gauche à droite.

**SDO** : sortie série.

**Questions :**

Donner le code VHDL du registre générique en utilisant une description comportementale.