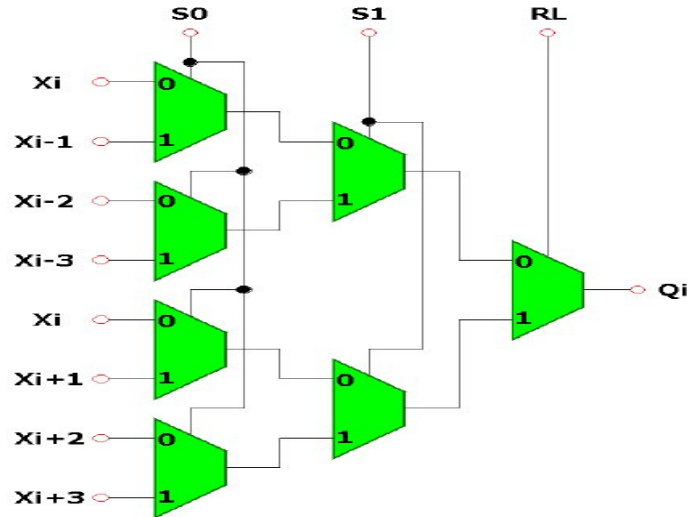


Université Tunis El-Manar Faculté des Sciences de Tunis	Année Universitaire : 2017-2018
Module : Synthèse des systèmes embarqués	Enseignant : C.A. ABID

### TD 1

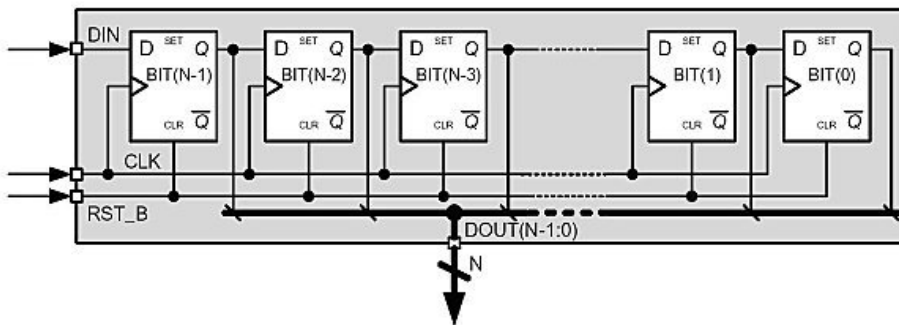
#### Exercice 1.

- 1) Donner la description VHDL d'un multiplexeur à deux entrées données.
- 2) Donner une description VHDL du circuit illustré dans la figure ci-après.



#### Exercice 2.

Il s'agit de développer un modèle structurel d'un registre N bits avec une entrée série et une sortie parallèle basé sur les composants des bascules D.



Les entrées: Horloge CLK (1 bit), reset RST\_B remise à zéro (1 bit) asynchrone actif au niveau bas ('0'), données série DIN (1 bit) et les Sorties: Contenu du registre DOUT (N bits). N est un paramètre générique.

- 1) Donner une description VHDL d'une bascule D.
- 2) Donner une description structurelle en langage VHDL (entity et architecture) d'un registre Registre série-parallèle à N bits, en utilisant le module décrit dans la question précédente.

### Exercice 3.

Considérons le code VHDL suivant :

```
Entity ex3 is port (  
    A,clk : in std_logic;  
    Q1,Q2 : out std_logic);  
end Entity;  
Architecture arch_ex3 of ex3 is  
    signal B:std_logic;  
Begin  
    Process (clk)  
        variable V : std_logic;  
    Begin  
        if clk'event and clk='1' then  
            V := not A;  
            B <=not A;  
            Q1 <= B;  
            Q2 <=V;  
        end if;  
    End process;  
End Architecture;
```

- 1) Représenter en bloc de fonction le module matériel que représente l'unité de conception VHDL ci-dessus.
- 2) Donner le schéma théorique de réalisation de cette unité de conception.

### Exercice 4.

Considérons le code VHDL suivant :

```
Entity ex4 is port (  
    X: in integer range 3 downto 0;  
    Y: in std_logic ;  
    S: out std_logic_vector (3 downto 0));  
End Entity;  
Architecture arch_ex4 of ex_4 is  
Begin  
    Process(X, Y)  
        begin  
            S <="1111";  
            If Y='0' then  
                S(X) <='0';  
            End If;  
        End Process;  
End Architecture;
```

- 1) Représenter en bloc de fonction le module matériel que représente l'unité de conception VHDL ci-dessus.
- 2) Quelle est la nature du circuit ? (combinatoire ou séquentiel)
- 3) Donner le schéma théorique de réalisation de cette unité de conception.