

<b>Université Tunis El-Manar</b> <b>Faculté des Sciences de Tunis</b>	<b>Année Universitaire : 2018-2019</b>
<b>Module : SSE</b>	<b>Enseignant : C.A. ABID</b>

## TD 2

### **Exercice 1.**

Considérons le code VHDL suivant :

```

entity ex_1 is port (
    T, P, V: in std_logic;
    S: out integer range 2 downto 0);
end entity;

Architecture Arch_ex_1 of ex_1 is
Signal X : integer range 2 downto 0;
Begin
    S<=X;
    Process(T, P)
    Begin
        If P = '1' then X<=0;
        Elsif T'event and T = '1' then
            If V='1' then X<=X+1;
            End If;
        End If;
    End Process;
End Architecture;

```

- 1) Représenter en bloc de fonction le module matériel que représente l'unité de conception VHDL ci-dessus.
- 2) Quelle est la nature du circuit ? (combinatoire ou séquentiel)
- 3) Donner le schéma théorique de réalisation de cette unité de conception.

### **Exercice 2.**

Considérons le code VHDL suivant :

```

Entity ex2 is port (
    A, B, C : in std_logic;
    Q1, Q2 : out std_logic);
end Entity;
Architecture arch_ex2 of ex2 is
Signal V : std_logic;
Begin
    Process (C, A, B)
    Begin
        if V='1'
        then Q2 <= C;
        end if;
        if A'event and A='1'
        then Q1 <= B;
            V <= not B;
        end if;
    End process;
End Architecture;

```

- 1) Représenter en bloc de fonction le module matériel que représente l'unité de conception VHDL ci-dessus.
- 2) Donner le schéma théorique de réalisation de cette unité de conception.

### **Exercice 3.**

Soit la description VHDL du composant module\_xor qui décrit une porte logique XOR.

```

entity module_xor is port(
    x1,x2 : in std_logic;
    s : out std_logic
);
end module_xor;
architecture Behavioral of module_xor is
begin
    s<= x1 xor x2;
end Behavioral;

```

Considérons le code VHDL suivant :

```

Entity ex3 is port (
    A, B, C : in std_logic;
    Q1, Q2 : out std_logic );
end Entity;
Architecture arch_ex3 of ex3 is
signal V, R : std_logic;
component module_xor is port (
    x1,x2: in std_logic;
    s: out std_logic);
end component;
Begin
    Process (V, C,A)
    Begin
        if (V='1') then
            Q2 <= C;
        else Q2<=A;
        end if;
    End process;
    comp : module_xor port map
(x1=>B, x2=>C, s=>R);
    Process (A)
    Begin
        if (A'event and A='1') then
            Q1 <= C;
            V <= R;
        end if;
    End process;
End Architecture;

```

**1)** Représenter en bloc de fonction le module matériel que représente l'unité de conception VHDL ci-dessus.

**2)** Donner le schéma théorique de réalisation de cette unité de conception.

#### **Exercice 4.**

Dans les deux cas suivants, réaliser la simulation si c'est possible en déterminant la valeur de la sortie F.

**1)**

```

entity exempleSignaux is
    port (F : out std_logic);
end exempleSignaux;
architecture arch1 of exempleSignaux is
begin
    F <= '1';
    F <= '0';
end arch1;

```

**2)**

```

entity exempleSignaux is
    port (A : in std_logic; F : out std_logic);
end exempleSignaux;
architecture arch2 of exempleSignaux is
begin
    process (A)
    begin
        F <= A;
        F <= not (A);
    end process;
end arch2;

```